

UCB-21565
ユーザーズマニュアル
第1版

金子システム株式会社

ご注意

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、当社ホームページを通じて公開される情報を参照ください。
2. 当社から提供する情報の正確性と信頼性には万全を尽くしていますが、誤りがないことを保証するものではありません。当社はその使用に対する責任を一切負いません。その使用によって第三者の特許権、著作権その他知的財産が侵害された場合でも、同様に責任を負いません。
3. 本資料は、当社の書面による事前の明示同意がない限り、いかなる形式でも複製できません。
4. 当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。

目次

1	はじめに.....	3
1.1	パッケージ内容.....	3
2	ハードウェア・リファレンス.....	4
2.1	製品外観.....	4
2.2	ブロック図.....	4
2.3	外形寸法.....	5
2.4	電気特性.....	6
2.5	ブートモードの設定.....	6
2.6	CN1～CN6 コネクタ仕様.....	6
2.7	JTAG.....	9
2.8	CrossCore Embedded Studio での JTAG デバッグ設定.....	9
2.9	CrossCore Embedded Studio での ldr ファイル作成エラー! ブックマークが定義されていません。	
2.10	SPI FLASH の書き換え.....	10
3	更新履歴.....	10

1 はじめに

このたびは当社製品をご購入いただき、ありがとうございます。

本製品は、Analog Devices 社 SHARC+プロセッサ ADSP-21565 を使用した DSP モジュールです。SHARC コアが新しくなり、倍精度浮動小数演算対応となり、より高速演算ができるようになりました。画像やオーディオなどの信号処理用途に最適です。

本製品 UCB-21565 の特徴は以下の通りです。

- 76.5mm(横)×25mm(縦)×1.6mm(基板厚)
- 2.54mm ピッチコネクタなので、2.54mm ピッチのユニバーサル基板にて実験が可能です
- SHARC+の動作に必要な電源は基板にて生成するため、3.3V を供給すれば動作いたします
- 128M バイト SPI フラッシュメモリ搭載なので、外部データの保存も可能です

また、ADSP-21565 プロセッサの特徴は以下の通りです。

- シングルコア SHARC+
- 最大 1GHz、パリティ付き 640k バイト/コアの L1 SRAM
- ECC 保護付き 1M バイトの L2 SRAM
- FIR/IIR アクセラレータ内蔵
- SPORT/SPDIF/ASRC/I2C/SPI/UART/GPTIMER/GP COUNTER/PWM/WDT の豊富なペリフェラルを内蔵
- 45 個の DMA チャンネル
- 120 ピン BGA パッケージ

詳細は、アナログ・デバイセズ社の ADSP-21565 のサイトを参照ください。

<https://www.analog.com/jp/products/adsp-21565.html>

- 回路図やサンプルプログラムは、以下のサイトを参照ください。

<http://kaneko-sys.co.jp/support/>

1.1 パッケージ内容

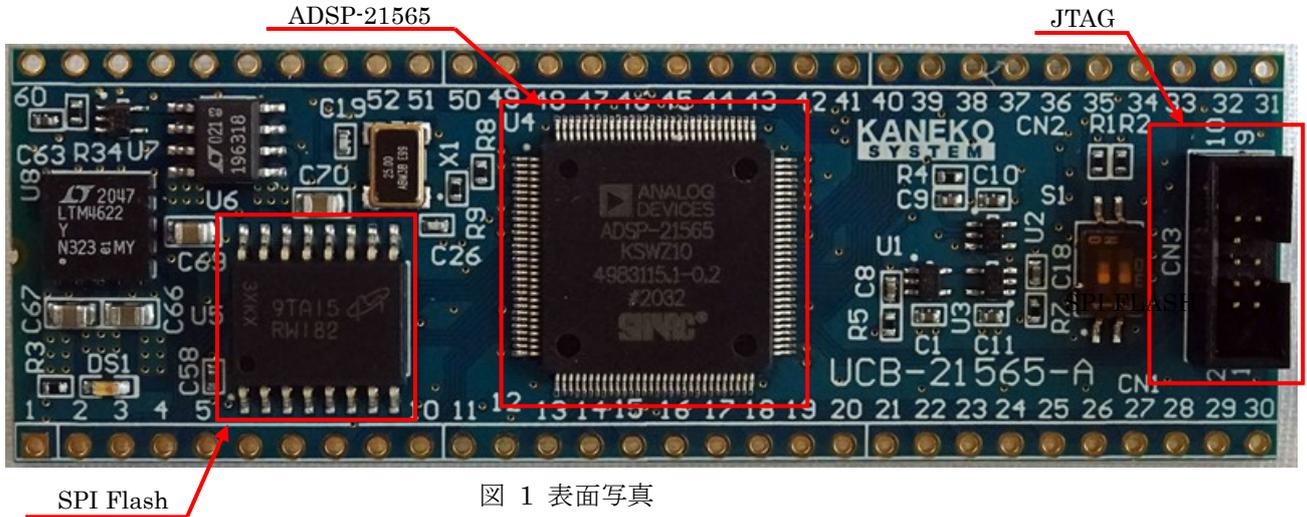
UCB-21565 のパッケージには、以下が含まれます。

表 1 パッケージ内容

内容	数量
UCB-21565 ボード	1 枚

2 ハードウェア・リファレンス

2.1 製品外観



2.2 ブロック図

ここでは、UCB-21565 ボード上のプロセッサの構成を説明します。

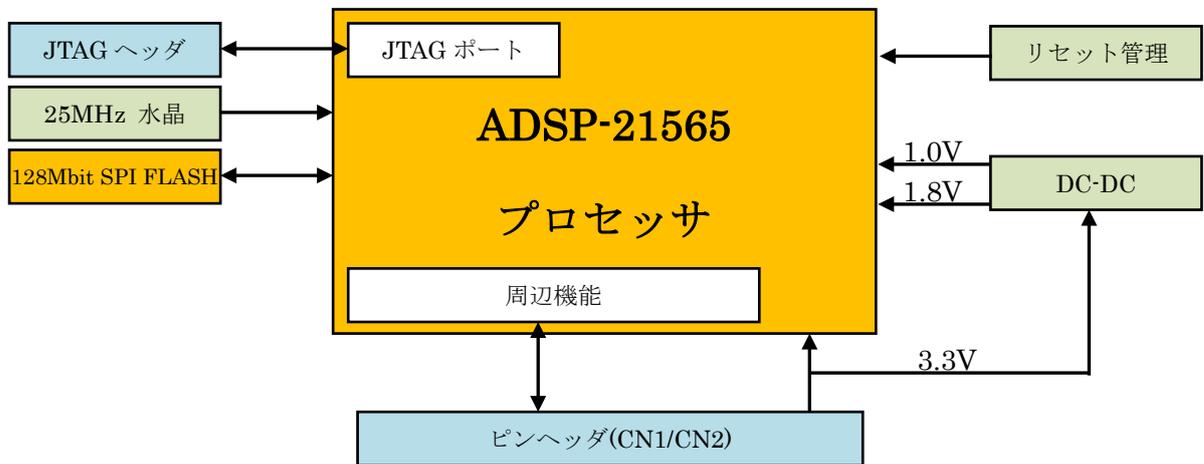


図 2 簡易ブロック図

UCB-21565 は、ADSP-21565 プロセッサを中心に、動作に最低限必要となる以下の機能で構成されています。

- JTAG コネクタ (2×5 列ハーフピッチ)
- 128M ビット SPI FLASH
- 25MHz 水晶
- 24MHz 水晶
- 1.0V/1.8V DC-DC
- リセット管理 (リセットスーパーバイザ)

2.3 外形寸法

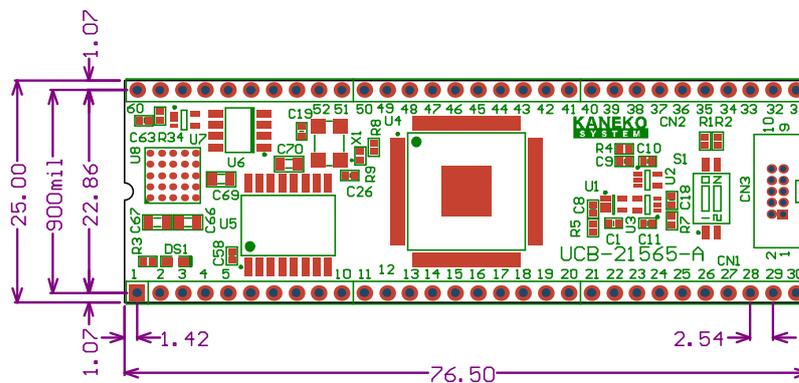


図 3 基板外形図

2.4 電気特性

表 2 電気特性

項目	条件	記号	min	typ	max
供給電圧	—	+3V3D	3.13V	3.3V	3.47V
3.3V 供給時の消費電流 (実測・参考値) CCLK:800MHz/コア SCLK:400MHz SCLK0:100MHz SCLK1:200MHz	JTAG デバッグ中 待機している状態	ICC1	—	T.B.D	—
	while(1)実行状態	ICC2	—	T.B.D	—
	FFT 演算/DMA 転送 有効	ICC3	—	T.B.D	—

※ベースボードからの供給電流は余裕をもった設計にしてください。

2.5 ブートモードの設定

SYS_BMODE0(S1 1 ピン) ~SYS_BMODE1(S1 2 ピン)で ADSP-21565 のブートモードの設定を行います。デフォルト (S1 1~2 ピン OFF の状態) では UART0 Slave に設定されます。

ブートモードの詳細は、アナログ・デバイセズ社「ADSP-2156x SHARC+ Processor Hardware Reference」を参照ください。

表 3 ブートモードの対応

SYS_BMODE 設定	S1 設定		備考
	1	2	
00 No Boot	ON	ON	SYS_BMODE1 = 'L' SYS_BMODE0 = 'L'
01 SPI2 Master	ON	OFF	SYS_BMODE1 = 'L' SYS_BMODE0 = 'H'
10 SPI2 Slave	ON	OFF	SYS_BMODE1 = 'H' SYS_BMODE0 = 'L'
11 UART0 Slave	OFF	OFF	SYS_BMODE1 = 'H' SYS_BMODE0 = 'H'

2.6 CN1~CN2 コネクタ仕様

※ 各表の入出力は、ADSP-21565 からみたもので、信号名の最後に # が付く名前は、負論理 (Low アクティブ) であることを示します。

※ 各ピンの詳細は、アナログ・デバイセズ社「ADSP-2156x SHARC+ Processor Hardware Reference」を参照ください。

表 4 CN1 コネクタ仕様

ピン番号	信号名	入出力	説明
1	PA_00	I/O	SPI Flash Memory(U5)に接続されています 10kΩでプルアップされています
2	PA_01	I/O	SPI Flash Memory(U5)に接続されています 10kΩでプルダウンされています
3	PA_02	I/O	SPI Flash Memory(U5)に接続されています 10kΩでプルアップされています
4	PA_03	I/O	SPI Flash Memory(U5)に接続されています 10kΩでプルアップされています
5	PA_04	I/O	SPI Flash Memory(U5)に接続されています 10kΩでプルダウンされています
6	PA_05	I/O	SPI Flash Memory(U5)に接続されています 10kΩでプルアップされています
7	PA_06	I/O	
8	PA_07	I/O	
9	PA_08	I/O	
10	PA_09	I/O	
11	PA_10	I/O	
12	PA_11	I/O	
13	PA_12	I/O	
14	PA_13	I/O	
15	PA_14	I/O	
16	PA_15	I/O	
17	GND	—	電源グラウンド
18	DAI0_PIN01	I/O	
19	DAI0_PIN02	I/O	
20	DAI0_PIN03	I/O	
21	DAI0_PIN04	I/O	
22	DAI0_PIN05	I/O	
23	DAI0_PIN06	I/O	
24	DAI0_PIN07	I/O	
25	DAI0_PIN08	I/O	
26	DAI0_PIN09	I/O	
27	DAI0_PIN10	I/O	
28	DAI0_PIN19	I/O	
29	DAI0_PIN20	I/O	
30	GND	—	電源グラウンド

表 5 CN2 コネクタ仕様

ピン番号	信号名	入出力	説明
31	GND	—	電源グラウンド
32	DAI1_PIN20	I/O	
33	DAI1_PIN19	I/O	
34	DAI1_PIN10	I/O	
35	DAI1_PIN09	I/O	
36	DAI1_PIN08	I/O	
37	DAI1_PIN07	I/O	
38	DAI1_PIN06	I/O	
39	DAI1_PIN05	I/O	
40	DAI1_PIN04	I/O	
41	DAI1_PIN03	I/O	
42	DAI1_PIN02	I/O	
43	DAI1_PIN01	I/O	
44	GND	—	電源グラウンド
45	HADC0_VIN0	Input	
46	HADC0_VIN1	Input	
47	SYS_FAULT#	I/O	10k Ω でプルアップされています。
48	SYS_HWRS_IN#	Input	システムリセット入力 10k Ω でプルアップされています。
49	SYS_RESOUT#	Output	
50	PB_00	I/O	
51	PB_01	I/O	
52	PB_02	I/O	
53	PB_03	I/O	
54	PB_04	I/O	
55	PB_05	I/O	
56	GND	—	電源グラウンド
57	SYS_CLKOUT	Output	
58	GND	—	電源グラウンド
59	+3V3D	—	+3.3V 電源入力
60	+3V3D	—	+3.3V 電源入力

2.7 JTAG

UCB-21565 には、以下の JTAG-ICE を使用することが可能です。

表 6 JTAG-ICE

製品名	備考
Analog Devices ADZS-ICE-2000	http://www.analog.com/jp/evaluation/eval-adsp-bf70x/eb.html
Analog Devices ADZS-ICE-1000	http://www.analog.com/jp/evaluation/eval-adsp-bf70x/eb.html

2.8 CrossCore Embedded Studio での JTAG デバッグ設定

CrossCore Embedded Studio 上にて JTAG を使ったデバッグ時、PLL の設定を行うため、プログラムロード前に設定を行う Preload を設定します。(アプリケーション側で PLL を設定する場合は省略可能)

Debug 設定から、Debug Configurations を開き、Session タブにて、Preload ファイルの設定を行ってください。Reload ファイルは下記よりダウンロードをお願いします。

http://kaneko-sys.co.jp/support/ucb-21565/ucb_21565_init.zip

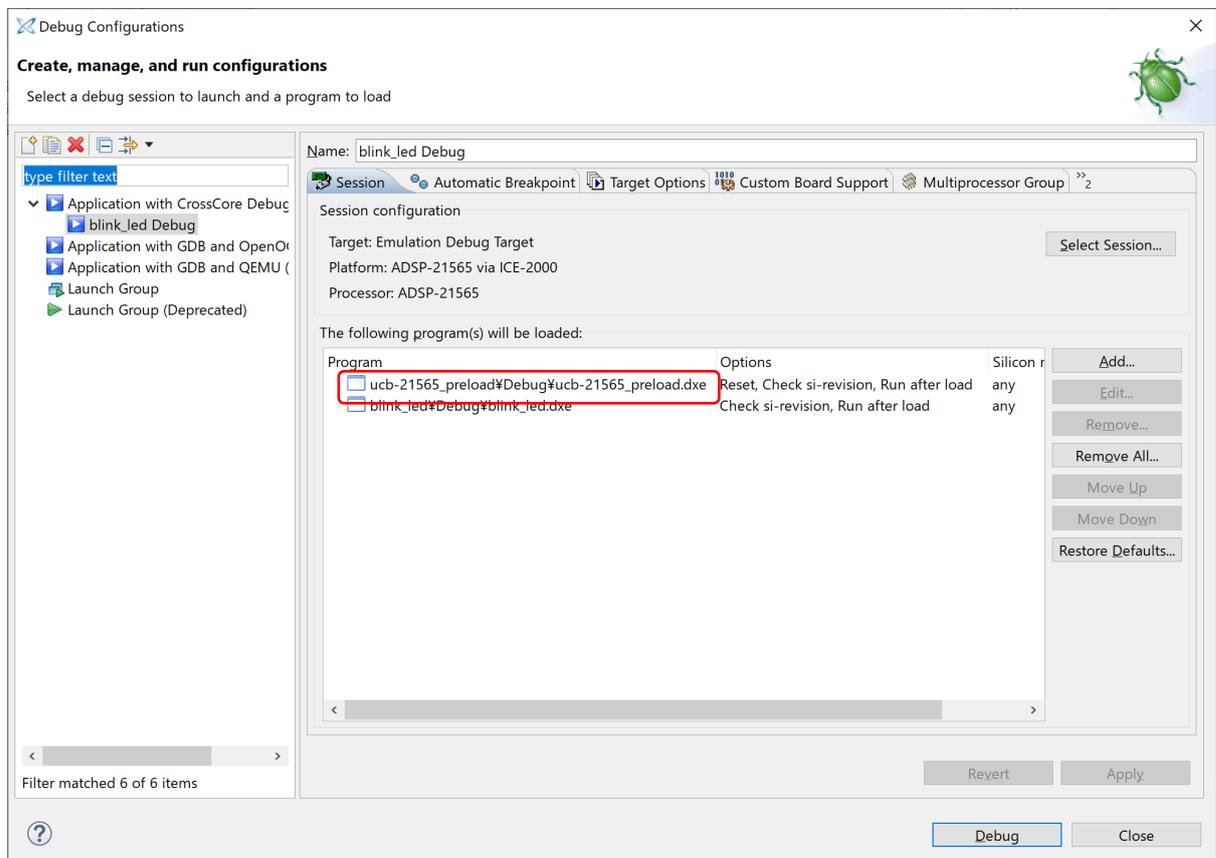


図 4 Debug Configurations

2.9 SPI FLASH の書き換え

ボードに搭載のフラッシュメモリを書き換える場合、CrossCore Embedded Studio の cldp.exe をコマンドラインよりご利用ください。コマンド例は次の通りです。

```
"C:¥Analog Devices¥CrossCore Embedded Studio 2.9.2¥cldp.exe" -proc ADSP-21565 -emu 2000 -driver "ucb-21565_mt25ql01g_dpia.dxe" -cmd prog -erase affected -format hex -file "対象のLDRファイル"
```

-emu オプションは、ご利用の JTAG-ICE によって変更してください。

表 7 -emu オプション

オプション名	対象 JTAG-ICE
-emu 2000	ADZS-ICE-2000
-emu 1000	ADZS-ICE-1000

-format オプションは、ldr ファイルのフォーマットによって変更してください。

表 8 -emu オプション

オプション名	対象フォーマット
-format hex	Intel Hex
-emu bin	バイナリ

ドライバ(ucb-21565_mt25ql01g_dpia.dxe)は、弊社サポートページよりダウンロードをお願いします。

http://kaneko-sys.co.jp/support/ucb-21565/ucb-21565_mt25ql01g_dpia.zip

3 更新履歴

版	更新日	更新内容
第 1 版	2020/08/12	初版発行